

**Family list**

1 application(s) for: JP9270513 (A)

**1 INSULATED GATE SEMICONDUCTOR DEVICE AND METHOD  
OF MANUFACTURE****Inventor:** UESUGI TSUTOMU ; KAWAJI SACHIKO (+1)**EC:** H01L29/78B2T; H01L29/739C; (+4)**Publication** JP9270513 (A) - 1997-10-14  
**info:****Applicant:** TOYOTA CENTRAL RES & DEV**IPC:** H01L29/739; H01L29/78; H01L29/06; (+4)**Priority Date:** 1996-03-29Data supplied from the **espacenet** database — Worldwide

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 09270513  
 PUBLICATION DATE : 14-10-97

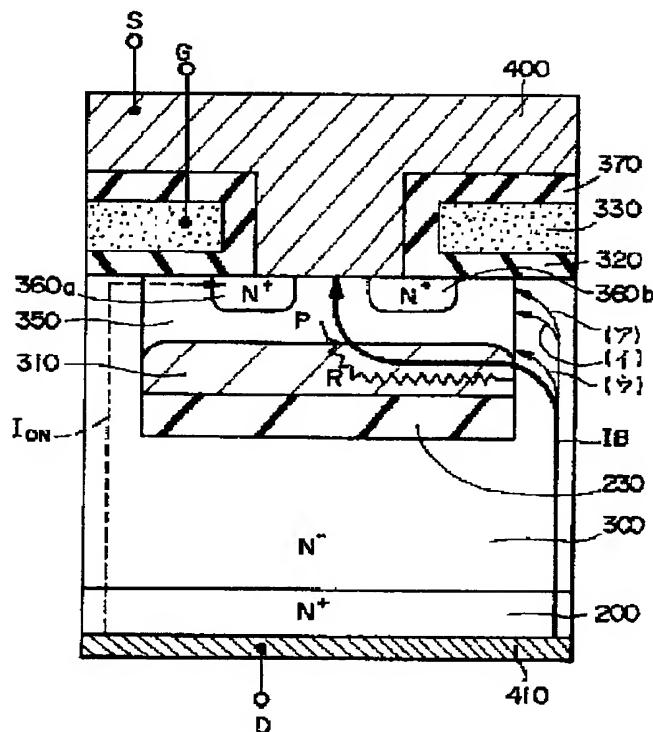
APPLICATION DATE : 29-03-96  
 APPLICATION NUMBER : 08103962

APPLICANT : TOYOTA CENTRAL RES & DEV LAB INC;

INVENTOR : KIGAMI MASAHIKO;

INT.CL. : H01L 29/78

TITLE : INSULATED GATE SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE



ABSTRACT : PROBLEM TO BE SOLVED: To realize a device that satisfies the request of both low on-state resistance and high break down voltage by reducing effectively the current amplifying factor of parasitic bipolar transistors without increasing the on resistance of power MOSFET transistor.

SOLUTION: A power device such as a power MOSFET with high avalanche breakdown voltage is realized by burying an oxide film 230 into an element and utilizing an SOI structure positively. The lifetime of the minority carrier of the single crystal of a region 310 around a boundary on an embedded oxide film 230 is shorter than the lifetime of the minority carrier of the single crystals of other regions so that the lifetime of the minority carrier can be made far shorter than that of a general epitaxial Si layer and the hFE of the parasitic bipolar transistors can be made very low value.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-270513

(43)公開日 平成9年(1997)10月14日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/78		9447-4M	H 01 L 29/78	6 5 2 C
		9447-4M		6 5 2 G
		9447-4M		6 5 3 A
		9447-4M		6 5 5 B

審査請求 未請求 請求項の数7 FD (全11頁)

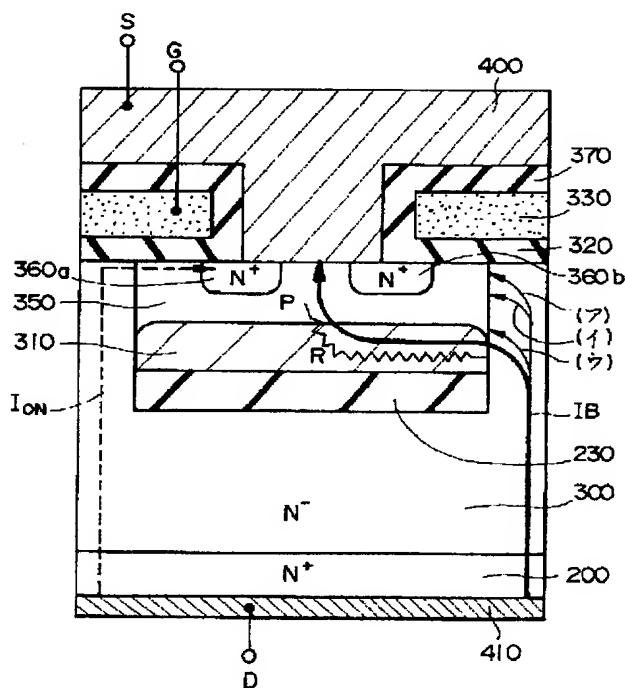
(21)出願番号	特願平8-103962	(71)出願人	000003609 株式会社豊田中央研究所 愛知県愛知郡長久手町大字長湫字横道41番 地の1
(22)出願日	平成8年(1996)3月29日	(72)発明者	上杉 勉 愛知県愛知郡長久手町大字長湫字横道41番 地の1 株式会社豊田中央研究所内
		(72)発明者	河路 佐智子 愛知県愛知郡長久手町大字長湫字横道41番 地の1 株式会社豊田中央研究所内
		(72)発明者	樹神 雅人 愛知県愛知郡長久手町大字長湫字横道41番 地の1 株式会社豊田中央研究所内
		(74)代理人	弁理士 布施 行夫 (外2名)

(54)【発明の名称】絶縁ゲート型半導体装置およびその製造方法

(57)【要約】

【課題】パワーMOSFET等のオン抵抗等を増加させることなく寄生バイポーラトランジスタの電流増幅率( $h_{FE}$ )を効果的に低減し、低オン抵抗と高破壊耐量とを同時に満足できるデバイスを実現することにある。

【解決手段】本発明は、素子中に酸化膜230を埋込み、SOI構造を積極的に利用することにより、高いアバランシェ破壊耐量を有するパワーMOSFET等のパワーデバイスを実現するものである。埋め込み酸化膜230上の界面近傍の領域310の単結晶の少数キャリアのライフタイムは、他の領域の単結晶の少数キャリアのライフタイムよりも低下しており、よって少数キャリアのライフタイムを通常のエピタキシャルSi層よりも極めて低くできるため、寄生バイポーラトランジスタの $h_{FE}$ を非常に低い値にすることができる。



## 【特許請求の範囲】

【請求項1】 絶縁ゲートに印加する電圧によってチャネル形成領域におけるチャネルの形成・非形成を制御する絶縁ゲート型半導体装置であって、  
単結晶半導体基板を構成する第1導電型の第1の領域と、  
その第1の領域内に設けられ、その表面の一部が前記チャネル形成領域となる第2導電型の第2の領域と、  
その第2の領域の表面部分に設けられた絶縁ゲート型トランジスタの能動層となる第3の領域と、  
前記半導体基板内に埋め込まれた電気的絶縁層とを有し、  
前記電気的絶縁層の上面の上側に位置する所定の領域の単結晶の少数キャリアのライフトайムが、その他の領域の単結晶の少数キャリアのライフトайムより低下しており、前記所定の領域は前記第2の領域の一部を少なくとも含んでおり、かつ前記所定の領域は、前記第2の領域における前記チャネル形成領域を含まないことを特徴とする絶縁ゲート型半導体装置。

【請求項2】 請求項1において、  
前記第2の領域はMOSFETを構成するボディP層であり、前記電気的絶縁層は、平面的にみて、前記ボディP層の底面の少なくとも一部と重なりを有する形態で設けられていることを特徴とする絶縁ゲート型半導体装置。

【請求項3】 請求項1または2において、  
絶縁ゲート型半導体装置は、前記第2の領域をベースとし、前記第3の領域をエミッタとし、前記第1の領域をコレクタとする寄生バイポーラトランジスタが形成されており、前記電気的絶縁層の上面より上側に位置する所定の領域の単結晶の少数キャリアのライフトайムの低下によって、前記寄生バイポーラトランジスタの電流増幅率が低く抑えられていることを特徴とする絶縁ゲート型半導体装置。

【請求項4】 絶縁ゲートに印加する電圧によりチャネル形成領域におけるチャネルの形成／非形成を制御する絶縁ゲート型半導体装置の製造方法であって、  
第1導電型の単結晶の表面に選択的に形成された絶縁膜上および前記半導体基板上に非単結晶層を形成し、所定の熱処理を施すことにより、前記非単結晶層と前記半導体基板との接触面を起点として固相エピタキシャル成長(SPE; Solid Phase Epitaxy)を生じせしめ、前記非単結晶層を単結晶化して単結晶層を形成し、その結果として、前記第1導電型の単結晶と前記単結晶層とが合わさって構成され、かつ前記絶縁層が内部に埋め込まれているSOI基板を形成する工程と、

前記SOI基板の表面から第2導電型不純物を選択的に導入することにより、前記絶縁膜の上面の上側に位置する、単結晶の少数キャリアのライフトайムが他の領域よ

り低下している所定の領域を含んで第2導電型の第2の領域を形成する工程と、

前記SOI半導体基板の表面に絶縁ゲートを形成する工程と、

前記第2の領域の表面部分に選択的に、絶縁ゲート型トランジスタの能動層となる第1導電型の第3の領域を形成する工程とを有することを特徴とする、前記絶縁ゲートの直下の前記第2の領域の表面を前記チャネル領域として使用する絶縁ゲート型半導体装置の製造方法。

【請求項5】 請求項4の絶縁ゲート型半導体装置の製造方法により製造される絶縁ゲート型半導体装置。

【請求項6】 請求項4における、SPE法によりSOI基板を形成する工程の代わりに、非単結晶へのレーザ照射による単結晶化法、酸素イオン注入法、(SIMOX法)、グラホエピタキシ法のいずれかを用いて形成されたSOI基板を用い、請求項4に記載の工程により絶縁ゲート型半導体装置を製造する絶縁ゲート型半導体装置の製造方法。

【請求項7】 請求項6の絶縁ゲート型半導体装置の製造方法により製造される絶縁ゲート型半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、絶縁ゲート型半導体装置およびその製造方法に関し、特に、パワーMOSFETの高アバランシェ破壊耐量を実現する技術に関する。

## 【0002】

【背景技術】図18に縦型のパワーMOSFETの構成例を示す。複数のMOSFET 20a～20nによりインダクタンス性負荷Lが駆動されるようになっており、一つのMOSFETは、N<sup>+</sup>基板30、N<sup>-</sup>エピタキシャル層40、ボディP層50、ソース層60、ゲート絶縁膜70、ゲート電極80、ソース電極90を有している。図中、参照番号Q1は寄生NPNトランジスタであり、参照番号Q2は寄生ダイオードであり、参照番号Rは、ボディP層の寄生抵抗である。なお、参照番号10は電源である。

【0003】図19は図18の構成の等価回路を示す。MOSFET(M)のソース(S)とドレイン(D)との間にNPNトランジスタQ2と抵抗Rが直列に接続され、また、Q2とRの直列経路とは並列に、トランジスタQ1のコレクタ・エミッタ経路が介在している。

## 【0004】

【発明が解決しようとする課題】図19に示すように、MOSトランジスタ(M)がオンからオフに変化すると、インダクタンス負荷(L)の逆起電力に起因してブレークダウン電流IB1が、ダイオードQ2および抵抗Rを介して流れる。このとき、抵抗Rの両端に発生する電圧降下が寄生バイポーラトランジスタQ1のベース・エミッタ間電圧(V<sub>BE</sub>)を越えると、寄生バイポーラト

ランジスタQ1がオンし、過大なブレークダウン電流I B2がトランジスタQ1に集中して流れ、ほとんどの場合、接合破壊やシリコンや配線の溶融が生じて、素子が破壊される。

【0005】特に、パワーMOSFET等を自動車制御に用いる場合には、車載用負荷はモーターあるいはソレノイドバルブ等のインダクタンス負荷が大半を占めるため、インダクタンス逆起電力により生じるアバランシェ破壊を回避することは極めて重要である。アバランシェ破壊は、上述したように、パワーMOSFET構造中に存在する寄生バイポーラトランジスタの動作に伴い破壊に至る現象であり、高破壊耐量を実現するにはこの寄生バイポーラトランジスタ動作を抑制する必要がある。

【0006】これまで、パワーMOSFET高アバランシェ破壊耐量の実現を目的として、寄生バイポーラトランジスタの電流増幅率( $h_{FE}$ )を低減する方法がいくつか提案されている。例えば、特開昭62-39069号公報では金拡散により少數キャリアライフトайムを低下させることにより、特開平3-259537号公報では炭素をイオン注入してライフトайムを抑制することにより高アバランシェ破壊耐量を実現している。また、特開平5-243580号公報ではソースN+より深いボディP+領域を形成し、寄生バイポーラトランジスタのベース濃度を高めることによりそれぞれ $h_{FE}$ を低下させて、高アバランシェ破壊耐量を実現している。上記従来技術で述べた3つの方法に関してそれぞれ問題点を述べる。

#### 【0007】金拡散によるライフトайム抑制

金はSi中の拡散速度が早いため、拡散の抑制が比較的困難である。また、金等の重金属はMOSデバイスのゲート特性あるいは接合特性に悪影響を与えるため、金拡散を行うことによりその他のデバイス特性が損なわれる。このため、通常はライフトайム制御による高性能化の程度と、それによるデバイス特性の劣化の程度を比べ、両者が許容できるような条件で金拡散を行うことになる。また、他デバイスへのクロスコンタミネーションを防ぐため、他デバイスの製造設備とは別の装置で処理する必要がある。

#### 【0008】炭素のイオン注入によるライフトайム抑制

荷電粒子のイオン注入によりライフトайムを抑制する方法は炭素以外にも、プロトン、ヘリウム等に関して報告がある。これらのイオン注入は非常に大きな加速電圧(通常数MV以上)が必要なため、おおがかりな装置が必要となる。また、これら荷電粒子打ち込みも、本来はダメージを導入したくない領域まで行われるため、それによるデバイス本来の特性の劣化も生じる。

#### 【0009】ボディP+領域の高不純物濃度化

寄生バイポーラトランジスタのベースに相当するボディを高濃度化することも、寄生バイポーラトランジスタの

$h_{FE}$ を低減する効果がある。しかし、チャネル領域のボディまで不純物濃度が高くなるとしきい値電圧が増加し、オン抵抗の増大を招く、寄生バイポーラトランジスタの $h_{FE}$ を低減するには、より深い領域までボディP+領域を形成する必要があるが、この時ボディP+領域は深さ方向とともに横方向へも広がるため、チャネル領域への拡散を防ぐにはボディP+層を形成するソース領域を広げる必要がある。ソース領域を広げることはパワーMOSFETのオン抵抗を増加させることは広く知られており、すなわち本方法による寄生バイポーラトランジスタの $h_{FE}$ 低減は、オン抵抗低減とトレードオフ関係にあることがわかる。

【0010】本発明の目的は、パワーMOSFET等のオン抵抗等を増加させることなく寄生バイポーラトランジスタの電流増幅率( $h_{FE}$ )を効果的に低減し、低オン抵抗と高破壊耐量とを同時に満足できるデバイスを実現することにある。

#### 【0011】

##### 【課題を解決するための手段】

(1) 請求項1に記載の本発明は、絶縁ゲートに印加する電圧によってチャネル形成領域におけるチャネルの形成/非形成を制御する絶縁ゲート型半導体装置であつて、単結晶半導体基板を構成する第1導電型の第1の領域と、その第1の領域内に設けられ、その表面の一部が前記チャネル形成領域となる第2導電型の第2の領域と、その第2の領域の表面部分に設けられた絶縁ゲート型トランジスタの能動層となる第3の領域と、前記半導体基板内に埋め込まれた電気的絶縁層とを有し、前記電気的絶縁層の上面の上側に位置する所定の領域の単結晶の少數キャリアのライフトайムが、その他の領域の少數キャリアのライフトайムより低下しており、前記所定の領域は前記第2の領域の一部を少なくとも含んでおり、かつ前記所定の領域は、前記第2の領域における前記チャネル形成領域を含まないことを特徴とする。

【0012】本発明は、従来から提案されている方法とは異なり、素子中に酸化膜を埋込み、その上部にSiの再結晶化領域を形成し、そこへ寄生バイポーラトランジスタのベースに相当するボディ領域を形成することにより積極的に寄生バイポーラトランジスタの $h_{FE}$ を低減するものである。つまり、SOI構造を採用することにより高アバランシェ破壊耐量を有するパワーMOSFET等のパワーデバイスを実現する。

【0013】酸化膜上に再結晶化したSi領域は、少數キャリアのライフトайムを通常のエピタキシャルSi層より極めて低くできるため、寄生バイポーラトランジスタの $h_{FE}$ を非常に低い値に設定できる。また、本方法ではLSI加工レベルで特定の領域のみ埋込み酸化膜が形成可能なため、チャネル形成領域に影響を与えることなく、その領域のみのライフトайムを低減できる。よって、パワーMOSFETのオン抵抗等を増加させずに寄

生バイポーラトランジスタの $h_{FE}$ を低減し、オン抵抗低減と高破壊耐量化を同時に満足できる。

【0014】(2)請求項2に記載の本発明は、請求項1において、前記第2の領域はMOSFETを構成するボディp層であり、前記電気的絶縁層は、平面的にみて、前記ボディp層の底面の少なくとも一部と重なりを有する形態で設けられていることを特徴とする。

【0015】ボディp層と酸化膜とを平面的に見て完全に一致させずに、その一部に重なりを有しないように配置することもできる。これにより、定常的なブレークダウン電流（過渡応答後の安定したブレークダウン電流）が流れるバスが形成され、定常的なブレークダウン電流は酸化膜のない部分を通過して効率的に流れることができ、動作が安定化される。

【0016】(3)請求項3に記載の本発明は、請求項1または2において、絶縁ゲート型半導体装置は、前記第2の領域をベースとし、前記第3の領域をエミッタとし、前記第1の領域をコレクタとする寄生バイポーラトランジスタが形成されており、前記電気的絶縁層の上面より上側に位置する所定の領域の単結晶の少数キャリアのライフトайムの低下によって、前記寄生バイポーラトランジスタの電流増幅率が低く抑えられていることを特徴とする絶縁ゲート型半導体装置。

【0017】パワーMOSFETやIGBT等の縦型のデバイスにおいて、SOI構造を採用して、寄生バイポーラトランジスタのベース領域におけるキャリアの再結合を促進することにより電流増幅率を極めて低下させ、寄生バイポーラトランジスタを無能化する。これにより、寄生バイポーラトランジスタがオンしたとしても、素子の破壊が生じない。

【0018】(4)請求項4に記載の本発明は、絶縁ゲートに印加する電圧によりチャネル形成領域におけるチャネルの形成、非形成を制御する絶縁ゲート型半導体装置の製造方法であって、第1導電型の単結晶の表面上に選択的に形成された絶縁膜上および前記半導体基板上に非単結晶層を形成し、所定の熱処理を施すことにより、前記非単結晶層と前記半導体基板との接触面を起点として固相エピタキシャル成長(SPE; Solid Phase Epitaxy)を生じせしめ、前記非単結晶層を単結晶化して単結晶層を形成し、その結果として、前記第1導電型の単結晶と前記単結晶層とが合わさせて構成され、かつ前記絶縁層が内部に埋め込まれているSOI基板を形成する工程と、前記SOI基板の表面から第2導電型不純物を選択的に導入することにより、前記絶縁膜の上面の上側に位置する、単結晶の少数キャリアのライフトайムが他の領域より低下している所定の領域を含んで第2導電型の第2の領域を形成する工程と、前記SOI半導体基板の表面に絶縁ゲートを形成する工程と、前記第2の領域の表面部分に選択的に、絶縁ゲート型トランジスタの能動層となる第1導電型の第

3の領域を形成する工程とを有することを特徴とする、前記絶縁ゲートの直下の前記第2の領域の表面を前記チャネル領域として使用することを特徴とする。

【0019】固相エピタキシャル成長(SPE; Solid Phase Epitaxy)により絶縁膜上に形成された単結晶膜は、その絶縁膜との界面近傍（絶縁膜に沿ってラテラルSPEにより成長した単結晶の、その絶縁膜との界面近傍）における結晶の少数キャリアのライフトайムがその他のSPE領域より低い。この現象を積極的に利用して寄生バイポーラトランジスタの電流増幅率を低下させるものである。通常のトランジスタの製造工程を用いながら所望の領域に正確にSOI構造の形成が可能である。

【0020】(5)請求項5に記載の本発明は、請求項4の絶縁ゲート型半導体装置の製造方法により製造される絶縁ゲート型半導体装置である。

【0021】低オン抵抗かつ高破壊耐量の高性能なデバイスが実現される。

【0022】(6)請求項6に記載の本発明は、請求項4における、SPE法によりSOI基板を形成する工程の代わりに、非単結晶へのレーザ照射による単結晶化法、酸素イオン注入法、(SIMOX法)、グラホエピタキシ法のいずれかを用いて形成されたSOI基板を用い、請求項4に記載の工程により絶縁ゲート型半導体装置を製造することを特徴とする。

【0023】レーザ照射法等によってもSOI構造を所望の領域に形成でき、かつ絶縁膜との界面の領域には少数キャリアのライフトайムの低下がみられる。よって、SPE法を用いた場合と同様の効果が期待できる。

【0024】(7)請求項7に記載の本発明は、請求項6の絶縁ゲート型半導体装置の製造方法により製造される絶縁ゲート型半導体装置である。

【0025】低オン抵抗かつ高破壊耐量の高性能なデバイスが実現される。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

【0027】(1)第1の実施の形態

(本実施の形態の特徴)図10に、本発明の第1の実施の形態に係るパワーMOSFETが示されている。このパワーMOSFETは例えば、SPE法により形成されるものである。その特徴は、埋込み酸化膜230を有していて、その埋込み酸化膜230の上側の非晶質Siを再結晶化させた所定の領域の、少数キャリアのライフトайムが著しく低下していることである。

【0028】この現象について、図20(a)～(c)の概念図を用いて説明する。図20(a)のように、単結晶基板100上に酸化膜110を選択的に形成し、同図(b)のように薄いアモルファスシリコン層120を形成し、熱処理を施してシリコンとの接触部分を起点と

してSPEを生じせしめてアモルファスシリコン層120を単結晶化した場合、同図(c)に示すように、酸化膜110上の領域130bの少数キャリアのライフタイムは、その他の領域130aの少数キャリアのライフタイムに比べて低下する。

【0029】これは、非晶質Siの再結晶化において、アモルファスシリコンが単結晶シリコンに変化するときに体積収縮が生じ、膜中に応力が発生することによるものである。そして、埋込み酸化膜に近い領域ではこの影響が顕著となる。つまり、酸化膜110から離れるにつれてその影響は少くなり、図10のようなデバイスの基板表面(チャネル形成領域)では、その影響はほとんど問題とならない。本発明はこのような現象を積極的に利用するものである。

【0030】なお、上述の酸化膜上の少数キャリアのライフタイムの低下は、レーザ照射によるアモルファス層の単結晶化の場合にも同様に見られる。また、図21(a)、(b)に示すような、SIMOX法によってSOI構造を形成する場合にも酸化膜界面領域の少数キャリアのライフタイムが低下する。つまり、図21(a)のように基板100に酸素イオンを打ち込み、熱処理により同図(b)に示すように酸化膜140を形成した場合、酸化膜140の近傍領域150の少数キャリアのライフタイムが低下する。また、図示されないが、アモルファス層のカーボンヒータを用いた再結晶化(グラホエビタキシ)によっても、SOI構造の形成が可能であり、この場合も同様の現象がみられる。

【0031】(デバイスの構造)図10のパワーMOSFETの構造について説明する。

【0032】N<sup>+</sup>ドレイン層200上にN<sup>-</sup>ドレイン層300が設けられ、N<sup>-</sup>ドレイン層300内に酸化膜230が形成されている。その酸化膜230上にはボディP層350が形成され、ボディP層350の表面部分にはソース(N<sup>+</sup>)層360a、360bが形成されており、基板表面には絶縁ゲート(ゲート絶縁膜320、シリコンゲート電極330)が形成されている。参照番号370は絶縁膜であり、参照番号400はゲート電極であり、参照番号410はドレイン電極である。酸化膜230上の所定の領域310は少数キャリアのライフタイムの低下した領域である。

【0033】(デバイスの動作)図10中、点線の矢印はパワーMOSFETがオン状態の時に流れるオン電流(I<sub>ON</sub>)を示しており、実線はブレーカダウン電流(I<sub>B</sub>)を示している。なお、図10中の矢印は、電子が流れる向きを示している。

【0034】オン電流(I<sub>ON</sub>)は、基板の裏面から埋込み酸化膜230のない領域を通って基板の表面へと上昇し、さらに、ゲート330の直下に形成されたチャネルを経て、ソース層320へと流れる。

【0035】このように、オン電流(I<sub>ON</sub>)は、基板の

表面を流れ、少数キャリアのライフタイムが低下した埋込み酸化膜上部近傍の領域310を流れないため、埋込み酸化膜230の影響を受けにくい。

【0036】一方、パワーMOSFETをオン状態からオフ状態へと切り換えた場合に逆起電力によって生じるブレーカダウン電流(I<sub>B</sub>)は、図中、実線の矢印で示すように、埋込み酸化膜230により少数キャリアのライフタイムが低下した領域(ボディP層の下側の領域)310を流れる。

【0037】つまり、オン状態で基板表面(チャネル)を流れている電流は、オフ状態への移行とともに微視的にみて、図10の右側に示されるように、経路(ア)、経路(イ)、経路(ウ)を経て、ボディP層350のエッジ部近傍を流れようになる。図10に示される少数キャリアのライフタイムが低下した領域310を通る経路の経路長が長く、よって寄生抵抗Rが大きく、寄生バイポーラトランジスタをオンさせ易い抵抗である。

【0038】本実施の形態では、その要注意の抵抗Rの部分が少数キャリアのライフタイムの低下した領域310となっており、ゆえに、この部分をベースとする寄生バイポーラトランジスタの電流増幅率(h<sub>FE</sub>)は極めて低減されている。つまり、寄生バイポーラトランジスタの動作は少数キャリアのライフタイムに強く影響を受け、少数キャリアのライフタイムの低下領域310における少数キャリアの再結合の促進により、寄生バイポーラトランジスタの電流増幅率h<sub>FE</sub>は極めて低減される。

【0039】一方、MOSFETの動作は、多数キャリアの移動度に強く依存するものの少数キャリアのライフタイムには依存しない。そして、上述のように基板表面では再結晶化における埋込み酸化膜からの応力の影響をほとんど無視できるため、埋込み酸化膜構造を有するパワーMOSFETでは、オン状態の特性(オン抵抗)をほとんど劣化させず、寄生バイポーラトランジスタの動作のみを効果的に抑制でき、高アバランシェ破壊耐量化が実現される。

【0040】(デバイスの製造方法)埋込み酸化膜は、非晶質Siの再結晶化、レーザー再結晶化あるいはカーボンヒータ等による再結晶化等の技術を用いることにより実現される。以下、アモルファスシリコンの再結晶化法を用いた場合について、図1～図9を参照して説明する。

【0041】図1に示すように、まず、イニシャルの基板として、N<sup>+</sup>基板200上にN<sup>-</sup>エピタキシャル層210を形成したエピウエハを準備する。

【0042】次に、図2に示すように、基板表面の熱酸化あるいはCVD法、およびフォトリソグラフィにより、基板上に酸化膜を選択的に形成する。酸化膜が設けられずに基板表面が露出した領域は、その後のアモルファスシリコンの再結晶化時に、シード(種結晶部)となる領域である。

【0043】次に、図3のように、全面にアモルファスシリコンを形成する。

【0044】次に、600°C程度の所定時間のアニールにより、シード(種結晶部)を起点とするSPEを生じせしめ、アモルファスシリコンの全面を単結晶化する。この結果、図4のように、絶縁膜230が単結晶中に埋め込まれる。このとき、絶縁膜230上の所定の領域310の少数キャリアのライフタイムは、他の単結晶の少数キャリアのライフタイムよりも低下する。

【0045】その後、通常のパワーMOSFET作製と同様にMOSFETを製造する。つまり、図5に示すように、ゲート酸化膜320上にゲート電極330を形成し、図6に示すように、ボディP領域350ならびにソース層360a, 360bを形成する。

【0046】続いて、図7のように層間絶縁膜370を形成する。次に、図8のようにソース電極400を形成し、基板の裏面にドレイン電極410を形成してデバイスが完成する(図9)。

#### 【0047】(2) 第2の実施の形態

図11は、本発明の第2の実施の形態を示している。この例では、埋込み酸化膜232が、ボディP層350の内部に形成されている。この場合も前掲の実施の形態と同様の効果が得られる。他の構成は図10と同じである。

#### 【0048】(3) 第3の実施の形態

図12は、本発明の第3の実施の形態を示している。

【0049】図12のデバイスの特徴は、図10のデバイスにおける埋込み酸化膜の中央部を除去した構造としたことである。

【0050】埋込み酸化膜(234a, 234b)を除去した領域は、一点鎖線で示す定常的なブレークダウン電流IBXが流れるための窓の動きをし、より安定なブレークダウン特性を実現できる。つまり、図12に示すように、過渡的にはブレークダウン電流IBが流れ、その後、定常的なブレークダウン電流IBXが最短距離で効率的に、基板裏面からソースへと流れ。

【0051】図12の下側には平面的にみた場合の、酸化膜234a, 234bとボディP層350とのオーバーラップの様子を示している。(エ)および(カ)部分は重なりを有する部分であり、(オ)部分は重なりを有しない部分(窓部分)である。

【0052】なお、参考番号314a, 314bは少数キャリアのライフタイムが低下した部分である。

#### 【0053】(4) 第4の実施の形態

図13は、本発明の第4の実施の形態を示している。

【0054】図13のデバイスは、ほぼ図12の構造と同じであるが、埋込み酸化膜236a, 236bが、ボディP領域350の内部に形成されている点が異なる。参考番号316a, 316bは少数キャリアのライフタイムが低下した部分である。本構造によっても、第3の

実施の形態と同様の効果が得られる。

#### 【0055】(5) 第5の実施の形態

図14に示すMOSFETは、トレンチゲートを有するUMOSFETである。

【0056】参考番号332a, 332bがトレンチゲート電極(例えはポリシリコン)であり、参考番号322a, 322bがゲート絶縁膜である。埋込み酸化膜238は、ボディP層350の直下の一部に設けられている。参考番号318は、少数キャリアのライフタイムが低下した部分である。

【0057】ボディP領域の下部に埋込み酸化膜を形成する代わりに、図11から図13のデバイスと同様の埋込み酸化膜構造とすることも可能である。得られる効果は前掲のデバイスと同様である。

#### 【0058】(6) 第6の実施の形態

図15はプレーナ構造のIGBT(Insulated Gate Bipolar Transistor)に本発明を適用した場合の構造例を示す。

【0059】IGBTは、図17に示されるようなMOSFET(M1)とPNPトランジスタQ3とをインバーテッドダーリントン接続した複合トランジスタである。パワーMOSFETとの断面構造上の相違は、図16のデバイスの最下層にP<sup>+</sup>層が設けられていることである。

【0060】IGBTの場合も、構造上、図17で点線で示されるような寄生バイポーラトランジスタQ4を有しており、寄生抵抗R<sub>E</sub>における電圧降下がベース・エミッタ間電圧V<sub>BE</sub>を越えるとオンして寄生サイリスタが動作し、素子の破壊を招く。

【0061】よって、寄生バイポーラトランジスタQ4のベースにおけるキャリアの輸送効率を低減させて、電流増幅率を低下させるのが有効である。そこで、寄生バイポーラトランジスタQ4のベースとなるベースP層350の直下に埋め込み絶縁膜232を設け、ベースP層350の下部に少数キャリアのライフタイムが低下した領域318を形成したものである。図11から図13のデバイスと同様の埋込み酸化膜構造とすることも可能である。これにより、IGBTで問題となるラッチアップによる素子破壊を抑制できる。

#### 【0062】(7) 第7の実施の形態

本発明は、第16に示すように、トレンチゲートを用いたIGBTにも適用可能である。参考番号332a, 332bはトレンチゲート電極(ポリシリコン)であり、参考番号322a, 322bはゲート酸化膜である。図11から図13のデバイスと同様の埋込み酸化膜構造とすることも可能である。IGBTで問題となるラッチアップによる素子破壊が抑制される。

【0063】以上の例ではN型チャネル素子について説明を行ってきたが、P型チャネル素子についても同様の効果が得られることは明らかである。

【0064】また、本発明は縦型のデバイスのみならず、横型のデバイスにも適用可能である。

【0065】図22は横型のパワーMOSFETの構造を示す断面図である。P型基板1000上にN<sup>-</sup>型エピタキシャル層1100が設けられ、N<sup>-</sup>型エピタキシャル層1100の表面部分に、P型のウエル1200と、N<sup>+</sup>型のドレイン1400a, 1400bが設けられている。P型ウエル1200の表面にはソース層1300, 1302が形成され、一方、そのP型ウエル内に絶縁膜1800が埋め込まれている。埋め込まれた絶縁膜1800上の領域1900が少数キャリアのライフタイムが低下した領域である。従って、寄生トランジスタの電流増幅率が低下しており、ブレークダウン電流I2が流れても、問題は生じない。なお、図22中の参照番号1500a, 1500bはドレイン電流であり、1600a, 1600bはゲート電極であり、1700はソース電極である。また、「I1」はオン電流を示す。

【0066】図23には模型のIGBTの断面が示されている。図23中で、「I3」は電子電流であり、「I4」は正孔電流であり、「I5」はブレークダウン電流である。図22の場合と同様に、ブレークダウン電流I5が流れても問題はない。なお、図23中で、参照番号1402a, 1402bはP<sup>+</sup>型のコレクタ層であり、参照番号1502a, 1502bはコレクタ電極である。また、参照番号1702はエミッタ電極である。

【0067】

#### 【図面の簡単な説明】

【図1】SPEを用いたパワーMOSFETの製造方法の、第1の製造工程のデバイス断面の構造を示す図である。

【図2】SPEを用いたパワーMOSFETの製造方法の、第2の製造工程のデバイス断面の構造を示す図である。

【図3】SPEを用いたパワーMOSFETの製造方法の、第3の製造工程のデバイス断面の構造を示す図である。

【図4】SPEを用いたパワーMOSFETの製造方法の、第4の製造工程のデバイス断面の構造を示す図である。

【図5】SPEを用いたパワーMOSFETの製造方法の、第5の製造工程のデバイス断面の構造を示す図である。

【図6】SPEを用いたパワーMOSFETの製造方法の、第6の製造工程のデバイス断面の構造を示す図である。

【図7】SPEを用いたパワーMOSFETの製造方法

の、第7の製造工程のデバイス断面の構造を示す図である。

【図8】SPEを用いたパワーMOSFETの製造方法の、第8の製造工程のデバイス断面の構造を示す図である。

【図9】SPEを用いたパワーMOSFETの製造方法の、第9の製造工程のデバイス断面の構造を示す図である。

【図10】本発明の第1の実施の形態（プレーナ型のパワーMOSFET）の断面構造を示す図である。

【図11】本発明の第2の実施の形態（プレーナ型のパワーMOSFET）の断面構造を示す図である。

【図12】本発明の第3の実施の形態（プレーナ型のパワーMOSFET）の断面構造を示す図である。

【図13】本発明の第4の実施の形態（プレーナ型のパワーMOSFET）の断面構造を示す図である。

【図14】本発明の第5の実施の形態（パワーUMOSFET）の断面構造を示す図である。

【図15】本発明の第6の実施の形態（プレーナ型のIGBT）の断面構造を示す図である。

【図16】本発明の第7の実施の形態（トレンチゲートを用いたIGBT）の断面構造を示す図である。

【図17】IGBTの等価回路図である。

【図18】パワーMOSFETのアバランシェ破壊の機構を説明するための図（デバイス断面図）である。

【図19】図18のパワーMOSFETのアバランシェ破壊の機構を説明するための回路図である。

【図20】(a)～(c)はそれぞれ、本発明の原理を説明するためのデバイス断面の概念図である。

【図21】(a), (b)はそれぞれ、本発明の原理を説明するためのデバイス断面の概念図である。

【図22】本発明の変形例を示すデバイスの断面図である。

【図23】本発明の他の変形例を示すデバイスの断面図である。

#### 【符号の説明】

200 N<sup>+</sup>ドレイン層

210 N<sup>-</sup>ドレイン層

230 埋め込み酸化膜

350 ボディP層

320 ゲート絶縁膜

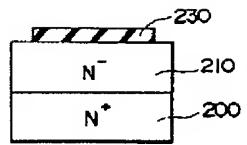
330 ゲート電極

360a, 360b ソース層

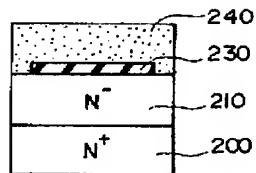
400 ソース電極

410 ドレイン電極

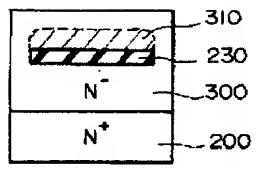
【図1】



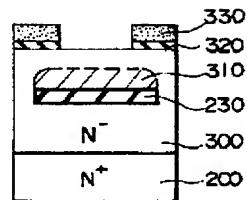
【図2】



【図3】

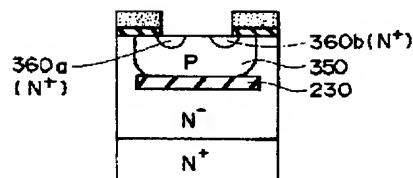


【図4】

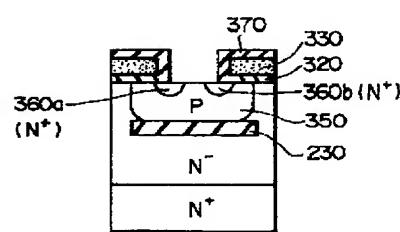


【図5】

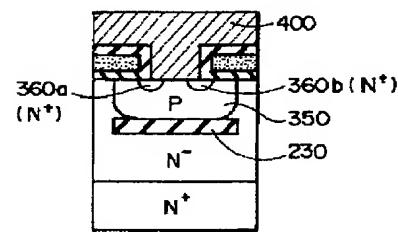
【図6】



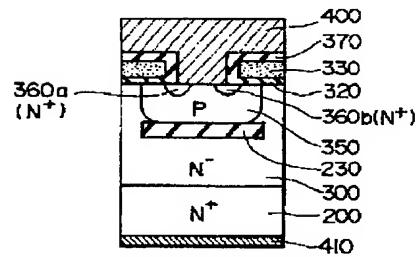
【図7】



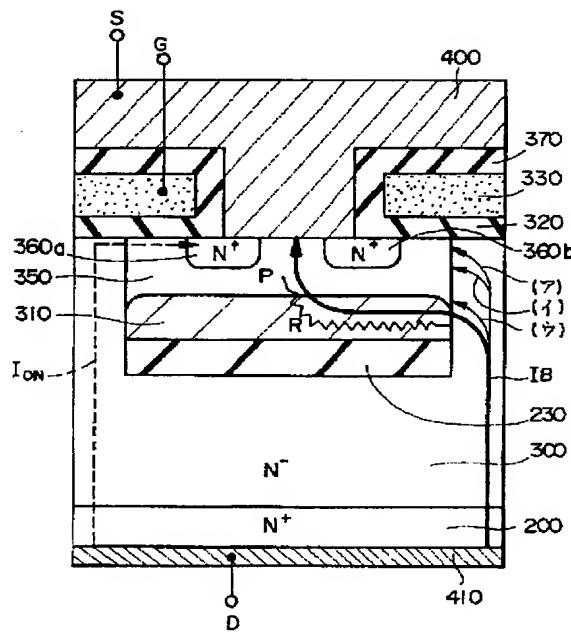
【図8】



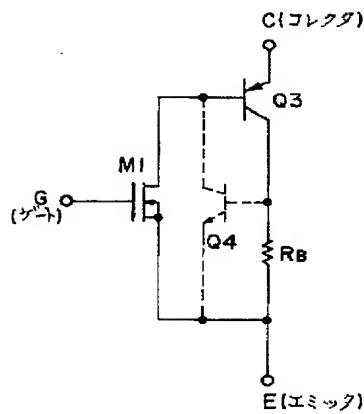
【図9】



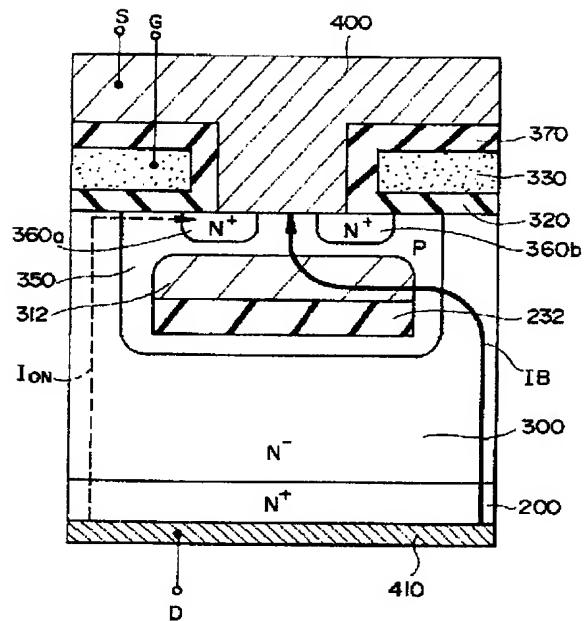
【図10】



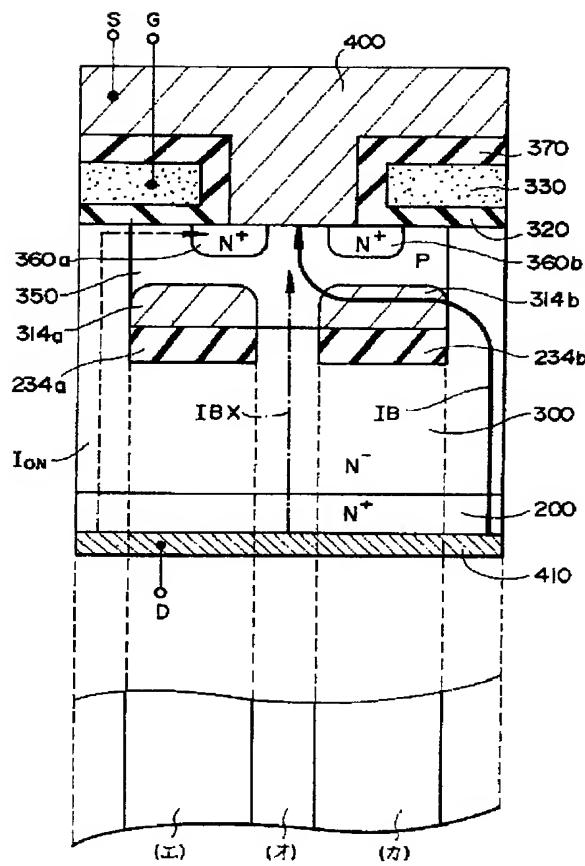
【図17】



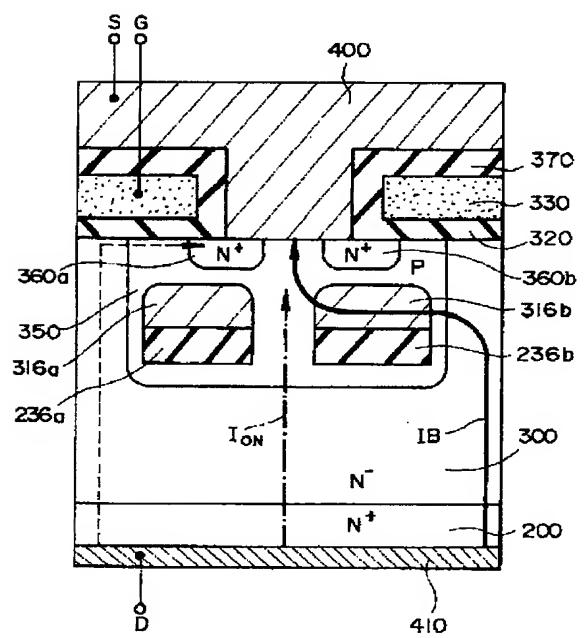
【図11】



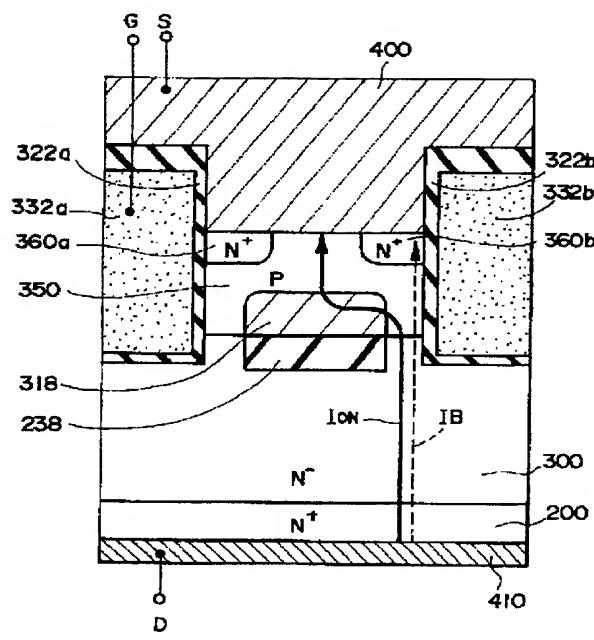
【図12】



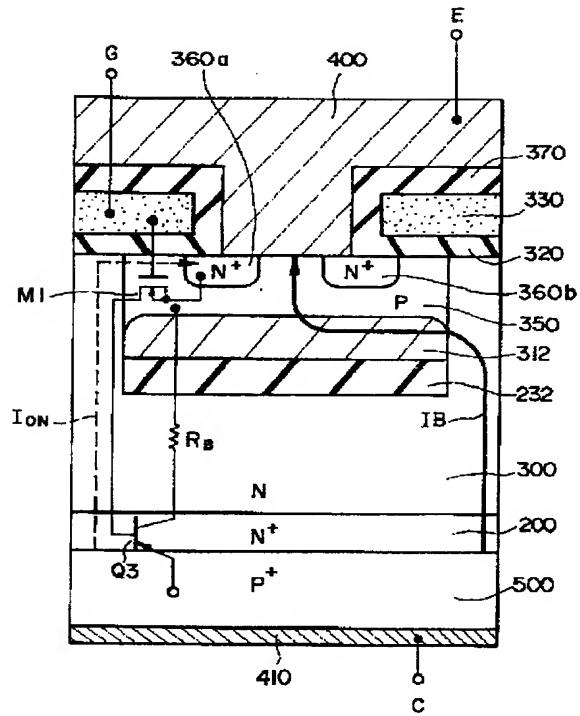
【図13】



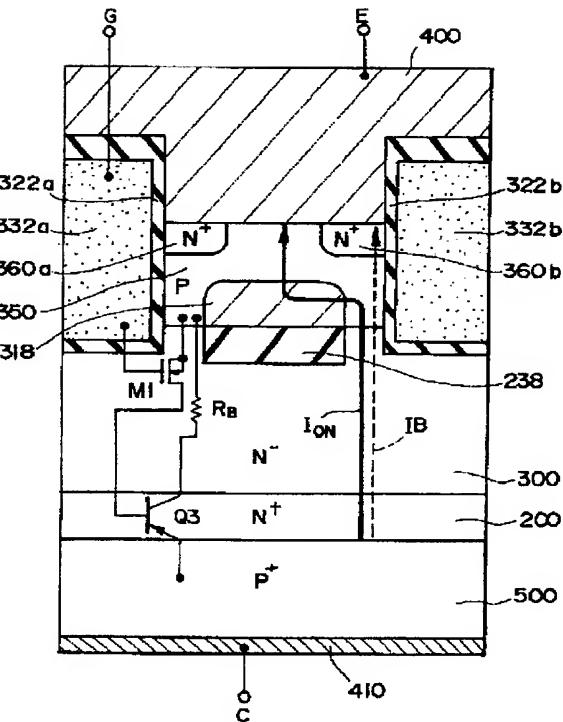
【図14】



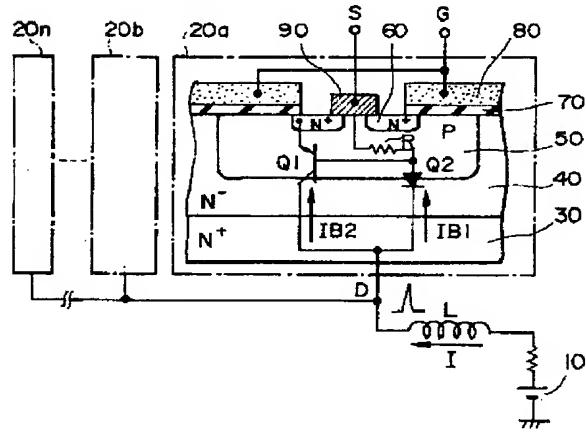
【図15】



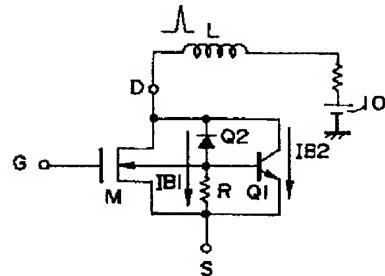
【図16】



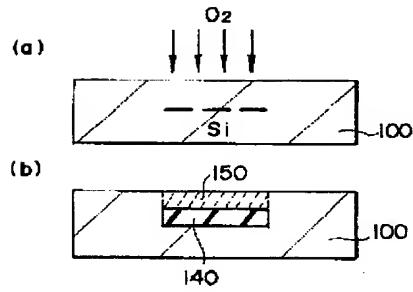
【図18】



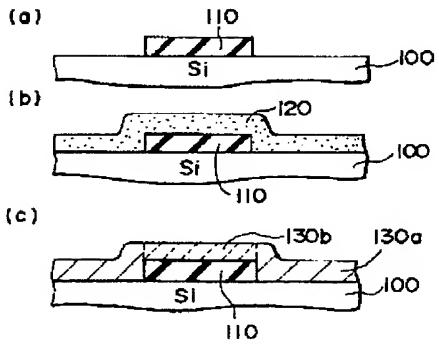
【図19】



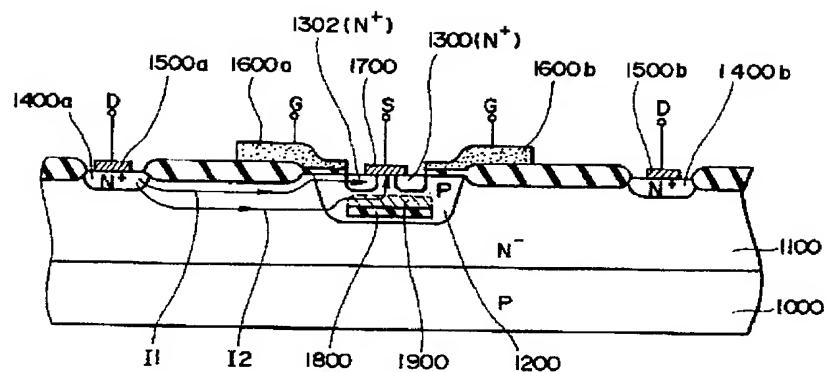
【図21】



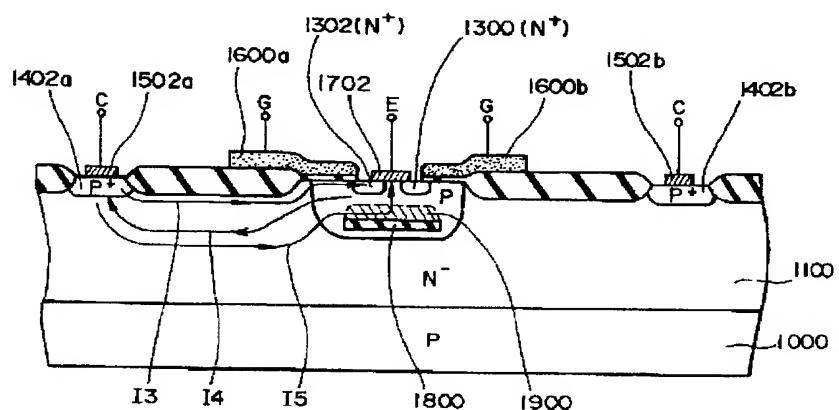
【図20】



【图22】



【図23】



## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1]Life time of a minority carrier of a single crystal of a predetermined field which is provided with the following and located in the upper surface upper part of said electric insulating layer, An insulated gate type semiconductor device, wherein it is falling from life time of a minority carrier of a single crystal of other fields, and said predetermined field includes said a part of 2nd field at least and said predetermined field does not include said channel forming region in said 2nd field.

The 1st field of the 1st conductivity type that is an insulated gate type semiconductor device which controls formation/agenesis of a channel in a channel forming region by voltage impressed to the insulated gate, and constitutes a single crystal semiconductor substrate.

The 2nd field of the 2nd conductivity type with which it is provided in the 1st field, and a part of the surface serves as said channel forming region.

The 3rd field used as an active layer of insulated gate type transistors provided in a surface portion of the 2nd field.

An electric insulating layer embedded in said semiconductor substrate.

[Claim 2]An insulated gate type semiconductor device which said 2nd field is a body p layer which constitutes MOSFET in claim 1, and is characterized by seeing said electric insulating layer superficially and providing it with a gestalt which has at least a part at the bottom and a lap of said body p layer.

[Claim 3]In claim 1 or 2, an insulated gate type semiconductor device, Use said 2nd field as a base, use said 3rd field as an emitter, and a parasitic bipolar transistor which uses said 1st field as a collector is formed, An insulated gate type semiconductor device characterized by stopping current gain of said parasitic bipolar transistor low due to the fall of life time of a minority carrier of a single crystal of a predetermined field located above the upper surface of said electric insulating layer.

[Claim 4]It is a manufacturing method of an insulated gate type semiconductor device which controls formation/agenesis of a channel in a channel forming region by voltage impressed to the insulated gate, By forming a non single crystal layer on an insulator layer selectively formed in the surface of a single crystal body of the 1st conductivity type, and said semiconductor substrate, and performing predetermined heat treatment, Produce and cheat out of solid phase epitaxial growth (SPE;Solid Phase Epitaxy) with a contact surface of said non single crystal layer and said semiconductor substrate as the starting point, single-crystal-ize said non single crystal layer, form a single crystal layer, and as the result, By introducing the 2nd conductivity-type impurity selectively from a process of forming a SOI substrate by which a single crystal body and said single crystal layer of said 1st conductivity type are put together, and it is constituted, and said insulating layer is embedded inside, and the surface of said SOI substrate, A process of forming the 2nd field of the 2nd conductivity type including a predetermined field to which life time of a minority carrier of a single crystal located in the upper surface upper part of said insulator layer is falling from other fields, . It is characterized by having a process of forming the insulated gate in the surface of said SOI semiconductor substrate, and the process of forming the 3rd field of the 1st conductivity type used as an active layer of insulated gate type transistors in a surface portion of said 2nd field selectively. A manufacturing method of an insulated gate type semiconductor device which uses the surface of said 2nd field [ directly under ] of said insulated gate as said channel regions.

[Claim 5]An insulated gate type semiconductor device manufactured by a manufacturing method of an insulated gate type semiconductor device of claim 4.

[Claim 6]Instead of a process of forming a SOI substrate by the SPE method in claim 4, A manufacturing method of an insulated gate type semiconductor device which manufactures an insulated gate type

semiconductor device by the process according to claim 4 using a SOI substrate formed using GURAHO a single crystal-ized method by laser radiation to a non single crystal, an oxygen-ion-implantation method or the (SIMOX method) or, and an epitaxy method.

[Claim 7]An insulated gate type semiconductor device manufactured by a manufacturing method of an insulated gate type semiconductor device of claim 6.

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] Especially this invention relates to the art of realizing the high avalanche destructive tolerated dose of power metal-oxide semiconductor field effect transistor, about an insulated gate type semiconductor device and a manufacturing method for the same.

#### [0002]

[Background of the Invention] The example of composition of the power metal-oxide semiconductor field effect transistor of a vertical mold is shown in drawing 18. The INDAKU dance nature load L drives by two or more MOSFET20a-20n, and one MOSFET, It has the N<sup>+</sup> board 30, the N<sup>-</sup> epitaxial layer 40, the body P layer 50, the source layer 60, the gate dielectric film 70, the gate electrode 80, and the source electrode 90. The reference number Q1 is a parasitism NPN transistor among a figure, the reference number Q2 is a parasitic diode, and the reference number R is the parasitic resistance of a body P layer. The reference number 10 is a power supply.

[0003] Drawing 19 shows the equivalent circuit of the composition of drawing 18. The resistance R is connected with NPN transistor Q2 in series between the sauce (S) of MOSFET (M), and a drain (D), and, as for the in-series course of Q2 and R, the collector emitter course of the transistor Q1 intervenes in parallel.

#### [0004]

[Problem(s) to be Solved by the Invention] If a MOS transistor (M) changes from one at OFF as shown in drawing 19, it will originate in the back electromotive force of INDAKU dance load (L), and breakdown current IB1 will flow via the diode Q2 and the resistance R. If the voltage drop generated to the both ends of the resistance R exceeds the voltage between base emitters of the parasitic bipolar transistor Q1 (V<sub>BE</sub>) at this time, And excessive breakdown current IB2 concentrates and flows into the transistor Q1, in almost all cases, melting of junction destruction, silicon, or wiring arises and an element is destroyed. [ the parasitic bipolar transistor Q1 ]

[0005] When using power metal-oxide semiconductor field effect transistor etc. for automotive control especially, the load for mount is very important for avoiding the avalanche destruction produced with inductance back electromotive force, in order that inductance loads, such as a motor or a solenoid valve, may occupy most. As mentioned above, avalanche destruction is the phenomenon of resulting in destruction with operation of the parasitic bipolar transistor which exists in power-metal-oxide-semiconductor-field-effect-transistor structure, and needs to control this parasitic bipolar transistor operation to realize a high destructive tolerated dose.

[0006] Until now, some methods of reducing the current gain ( $h_{FE}$ ) of a parasitic bipolar transistor for the purpose of realization of a power-metal-oxide-semiconductor-field-effect-transistor quantity avalanche destructive tolerated dose are proposed. For example, at JP,62-39069,A, the high avalanche destructive tolerated dose is realized by carrying out the ion implantation of the carbon and controlling life time by JP,3-259537,A by reducing a small number of carrier lifetime by gold diffusion. In JP,5-243580,A, the body P<sup>+</sup> field deeper than sauce N<sup>+</sup> was formed, by raising the base density of a parasitic bipolar transistor,  $h_{FE}$  was reduced, respectively and the high avalanche destructive tolerated dose is realized. A problem is described about three methods described by the above-mentioned conventional technology, respectively.

[0007]\*\* Since life time control gold by gold diffusion has the early diffusion rate in Si, control of diffusion is comparatively difficult for it. Since heavy metals, such as gold, have an adverse effect on the gate characteristic or joining characteristic of a MOS device, other device properties are spoiled by performing

gold diffusion. For this reason, the grade of highly-efficientizing by controlling life time and the grade of degradation of the device property by it will usually be measured, and gold diffusion will be performed on the conditions which both can permit. In order to prevent the cross contamination to other devices, it is necessary to process with a device different from the manufacturing facility of other devices.

[0008]\*\* The method of controlling life time by the ion implantation of the life time control charged particle by a carbonaceous ion implantation has a report about a proton, helium, etc. besides carbon. Since very big accelerating voltage (usually not less than several megavolts) is required for these ion implantations, a \*\*\*\*\* device is needed. Since these charged particle placing is originally also performed to a field not to introduce a damage into, degradation of the original characteristic of a device by it is also produced.

[0009]\*\* It is also effective in reducing  $h_{FE}$  of a parasitic bipolar transistor to high-concentration-ize the body equivalent to the base of the high-impurity-concentration-ized parasitic bipolar transistor of a body  $p^+$  field. However, if impurity concentration becomes high to the body of channel regions, in order to reduce  $h_{FE}$  of a parasitic bipolar transistor which threshold voltage increases and causes increase of on

resistance, it is necessary to form a body  $p^+$  field to a deeper field but, and, At this time, since a body  $p^+$  field spreads also to a transverse direction with a depth direction, it needs to extend the source region which forms a body  $P^+$  layer for preventing the diffusion to channel regions. It is known widely that extending the source region makes the on resistance of power metal-oxide semiconductor field effect transistor increase, namely, it turns out that on resistance reduction and tradeoff relation have  $h_{FE}$  reduction of the parasitic bipolar transistor by this method.

[0010]The purpose of this invention reduces the current gain ( $h_{FE}$ ) of a parasitic bipolar transistor effectively, without making on resistance, such as power metal-oxide semiconductor field effect transistor, etc. increase, and there is in realizing the device with which it can be simultaneously satisfied of low on resistance and a high destructive tolerated dose.

[0011]

[Means for Solving the Problem]

(1) This invention according to claim 1 is an insulated gate type semiconductor device which controls formation/agenesis of a channel in a channel forming region by voltage impressed to the insulated gate, The 1st field of the 1st conductivity type that constitutes a single crystal semiconductor substrate, and the 2nd field of the 2nd conductivity type with which it is provided in the 1st field, and a part of the surface serves as said channel forming region, The 3rd field used as an active layer of insulated gate type transistors provided in a surface portion of the 2nd field, Life time of a minority carrier of a single crystal of a predetermined field which has the electric insulating layer embedded in said semiconductor substrate, and is located in the upper surface upper part of said electric insulating layer, It is falling from life time of a minority carrier of other fields, and said predetermined field includes said a part of 2nd field at least, and said predetermined field does not include said channel forming region in said 2nd field.

[0012]Unlike a method proposed from the former, this invention embeds an oxide film into an element,  $h_{FE}$  of a parasitic bipolar transistor is positively reduced by forming a recrystallization field of Si in the upper part, and forming there a body region equivalent to a base of a parasitic bipolar transistor. That is, power devices, such as power metal-oxide semiconductor field effect transistor which has a high avalanche destructive tolerated dose, are realized by adopting SOI structure.

[0013]Since Si field recrystallized on an oxide film can make life time of a minority carrier very lower than the usual epitaxial Si layer, it can set  $h_{FE}$  of a parasitic bipolar transistor as a very low value. Life time of only the field can be reduced by this method, without embedding only a specific field on an LSI processing level, and affecting a channel forming region, since an oxide film can be formed. Therefore,  $h_{FE}$  of a parasitic bipolar transistor is reduced without making on resistance of power metal-oxide semiconductor field effect transistor, etc. increase, and on resistance reduction and high destructive tolerated dose-ization can be satisfied simultaneously.

[0014](2) This invention according to claim 2 is a body  $p$  layer from which said 2nd field constitutes MOSFET in claim 1, said electric insulating layer is seen superficially, and it is provided with a gestalt which has at least a part at the bottom and a lap of said body  $p$  layer.

[0015]Without seeing a body  $p$  layer and an oxide film superficially, and making it thoroughly in agreement, it can also arrange so that it may not have a lap in the part. A path with which steady breakdown current (stable breakdown current after a transient response) flows by this is formed, it can be efficiently flowed through steady breakdown current through a portion without an oxide film, and operation is stabilized.

[0016](3) In claim 1 or 2, this invention according to claim 3 an insulated gate type semiconductor device, Use said 2nd field as a base, use said 3rd field as an emitter, and a parasitic bipolar transistor which uses said 1st field as a collector is formed, An insulated gate type semiconductor device characterized by stopping current gain of said parasitic bipolar transistor low due to the fall of life time of a minority carrier of a single crystal of a predetermined field located above the upper surface of said electric insulating layer.

[0017]In a device of vertical molds, such as power metal-oxide semiconductor field effect transistor and IGBT, SOI structure is adopted, by promoting recombination of a carrier in base area of a parasitic bipolar transistor, current gain is reduced extremely and a parasitic bipolar transistor is incapacitated. Thereby, even if one [ a parasitic bipolar transistor ], destruction of an element does not arise.

[0018](4) It is a manufacturing method of an insulated gate type semiconductor device which controls formation/agenesis of a channel in a channel forming region by voltage impressed to this invention according to claim 4 and the insulated gate, By forming a non single crystal layer on an insulator layer selectively formed in the surface of a single crystal body of the 1st conductivity type, and said semiconductor substrate, and performing predetermined heat treatment, Produce and cheat out of solid phase epitaxial growth (SPE;Solid Phase Epitaxy) with a contact surface of said non single crystal layer and said semiconductor substrate as the starting point, single-crystal-ize said non single crystal layer, form a single crystal layer, and as the result, By introducing the 2nd conductivity-type impurity selectively from a process of forming a SOI substrate by which a single crystal body and said single crystal layer of said 1st conductivity type are put together, and it is constituted, and said insulating layer is embedded inside, and the surface of said SOI substrate, Life time of a minority carrier of a single crystal located in the upper surface upper part of said insulator layer selectively to a process of forming the 2nd field of the 2nd conductivity type including a predetermined field to which it is falling from other fields, a process of forming the insulated gate in the surface of said SOI semiconductor substrate, and a surface portion of said 2nd field, The surface of said 2nd field directly under [ having the process of forming the 3rd field of the 1st conductivity type used as an active layer of insulated gate type transistors ] said insulated gate is used as said channel regions.

[0019]Single crystal membrane formed by solid phase epitaxial growth (SPE;Solid Phase Epitaxy) on an insulator layer, Life time of a minority carrier of a crystal [ / near the interface (an interface near / with the insulator layer of a single crystal grown-up by lateral SPE along with an insulator layer /) with the insulator layer ] is lower than other SPE fields. Current gain of a parasitic bipolar transistor is reduced using this phenomenon positively. Formation of SOI structure is correctly possible to a desired field, using a manufacturing process of the usual transistor.

[0020](5) This invention according to claim 5 is an insulated gate type semiconductor device manufactured by a manufacturing method of an insulated gate type semiconductor device of claim 4.

[0021]A device with highly efficient low on resistance and high destructive tolerated dose is realized.

[0022](6) This invention according to claim 6 instead of a process of forming a SOI substrate by the SPE method in claim 4, An insulated gate type semiconductor device is manufactured by the process according to claim 4 using a SOI substrate formed using GURAHO a single crystal-ized method by laser radiation to a non single crystal, an oxygen-ion-implantation method or the (SIMOX method) or, and an epitaxy method.

[0023]It can form in a field of a request of SOI structure by a laser radiation method etc., and a fall of life time of a minority carrier is seen in a field of an interface with an insulator layer. Therefore, the same effect as a case where the SPE method is used is expectable.

[0024](7) This invention according to claim 7 is an insulated gate type semiconductor device manufactured by a manufacturing method of an insulated gate type semiconductor device of claim 6.

[0025]A device with highly efficient low on resistance and high destructive tolerated dose is realized.

[0026]

[Embodiment of the Invention]Hereafter, an embodiment of the invention is described with reference to drawings.

[0027](1) The power metal-oxide semiconductor field effect transistor concerning a 1st embodiment of this invention is shown in the 1st embodiment (feature of this embodiment) drawing 10. This power metal-oxide semiconductor field effect transistor is formed for example, by the SPE method. The feature is that the life time of a minority carrier of the predetermined field which has the embedding oxide film 230 and made amorphous Si of the embedding oxide film 230 upper part recrystallize is falling remarkably.

[0028]This phenomenon is explained using the key map of drawing 20 (a) – (c). The oxide film 110 is selectively formed on the monocrystal substrate 100 like drawing 20 (a), When it heat-treats by having formed the thin amorphous silicon layer 120 as shown in the figure (b), it produced and cheats out of SPE

with contacting parts as the starting point with silicon and the amorphous silicon layer 120 is single-crystal-ized, as shown in the figure (c), The life time of the minority carrier of the field 130b on the oxide film 110 falls compared with the life time of the minority carrier of the other fields 130a.

[0029]In the recrystallization of amorphous Si, when an amorphous silicon changes to single crystal silicon, a volumetric shrinkage arises, and this is because stress occurs in a film. And in the field near an embedding oxide film, this influence becomes remarkable. That is, the influence decreases as it separates from the oxide film 110, and the influence hardly poses a problem in the substrate face (channel forming region) of a device like drawing 10. This invention uses such a phenomenon positively.

[0030]The fall of the life time of the minority carrier on an above-mentioned oxide film is seen similarly [ in single-crystal-izing of the amorphous layer by laser radiation ]. Also when forming SOI structure by the SIMOX method as shown in drawing 21 (a) and (b), the life time of the minority carrier of an oxide film interface field falls. That is, oxygen ion is driven into the substrate 100 like drawing 21 (a), and as shown in the figure (b) with heat treatment, when the oxide film 140 is formed, the life time of the minority carrier of the neighborhood field 150 of the oxide film 140 falls. Although not illustrated, formation of SOI structure is possible and the same phenomenon is seen also in this case by the recrystallization (GURAHO epitaxy) using the carbon heater of the amorphous layer.

[0031](Structure of a device) The structure of the power metal-oxide semiconductor field effect transistor of drawing 10 is explained.

[0032]The  $N^-$  drain layer 300 is formed on the  $N^+$  drain layer 200, and the oxide film 230 is formed in the  $N^-$  drain layer 300. The body P layer 350 is formed on the oxide film 230, the source ( $N^+$ ) layers 360a and 360b are formed in the surface portion of the body P layer 350, and the insulated gate (the gate dielectric film 320, polysilicon gate electrode 330) is formed in the substrate face. The reference number 370 is an insulator layer, the reference number 400 is a gate electrode, and the reference number 410 is a drain electrode. The predetermined field 310 on the oxide film 230 is a field to which the life time of the minority carrier fell.

[0033](Operation of a device) The arrow of the dotted line shows the ON state current ( $I_{ON}$ ) which flows when power metal-oxide semiconductor field effect transistor is an ON state among drawing 10, and, as for the solid line, breakdown current ( $IB$ ) is shown. The arrow in drawing 10 shows the direction into which an electron flows.

[0034]The ON state current ( $I_{ON}$ ) goes up to the surface of a substrate through the field which embeds from the rear face of a substrate and does not have the oxide film 230, and flows into the source layer 320 further through the channel formed directly under the gate 330.

[0035]Thus, since the ON state current ( $I_{ON}$ ) flows through the surface of a substrate and does not flow through the field 310 near [ to which the life time of the minority carrier fell ] the embedded oxide film upper part, it cannot be easily influenced by the embedding oxide film 230.

[0036]The breakdown current ( $IB$ ) produced with back electromotive force on the other hand when power metal-oxide semiconductor field effect transistor is switched to an OFF state from an ON state, As the arrow of a solid line shows among a figure, it flows through the field (field of the body P layer bottom) 310 to which the life time of the minority carrier fell with the embedding oxide film 230.

[0037]That is, the current which was flowing through the substrate face (channel) by the ON state is microscopically seen with the shift to an OFF state, and as shown in the right-hand side of drawing 10, it comes to flow near the edge part of the body P layer 350 through course (a), course (b), and course (c). The course length of the course passing through the field 310 to which the life time of the minority carrier shown in drawing 10 fell is long, and therefore, the parasitic resistance  $R$  is large and is the resistance which makes a parasitic bipolar transistor one easily.

[0038]According to this embodiment, the current gain ( $h_{FE}$ ) of the parasitic bipolar transistor which the portion of that resistance  $R$  requiring special attention serves as the field 310 to which the life time of the minority carrier fell, therefore uses this portion as a base is reduced extremely. That is, operation of a parasitic bipolar transistor is strongly influenced to the life time of a minority carrier, and current gain  $h_{FE}$  of a parasitic bipolar transistor is extremely reduced by promotion of the recombination of the minority carrier in the fall field 310 of the life time of a minority carrier.

[0039]On the other hand, it does not depend for operation of MOSFET on the life time of the minority carrier of what depends to the mobility of a majority carrier strongly. And since most influences of the stress from the embedding oxide film in recrystallization can be disregarded as mentioned above in a substrate face, in the power metal-oxide semiconductor field effect transistor which has embedding oxide

film structure. Most characteristics (on resistance) of an ON state are not degraded, only operation of a parasitic bipolar transistor can be controlled effectively, and high avalanche destructive tolerated dose-ization is realized.

[0040](Manufacturing method of a device) An embedding oxide film is realized by using art, such as recrystallization by recrystallization of amorphous Si, laser recrystallization, or a carbon heater. Hereafter, the case where the method of recrystallizing an amorphous silicon is used is explained with reference to drawing 1 – drawing 9.

[0041]As shown in drawing 1, the epiwafer in which the N<sup>-</sup> epitaxial layer 210 was formed on the N<sup>+</sup> board 200 is first prepared as a substrate of an initial.

[0042]Next, as shown in drawing 2, an oxide film is selectively formed on a substrate by the thermal oxidation of a substrate face or a CVD method, and a photolithography. The field which the substrate face exposed without providing an oxide film is a field which is seeded (seed crystal section) at the time of recrystallization of a subsequent amorphous silicon.

[0043]Next, an amorphous silicon is formed in the whole surface like drawing 3.

[0044]Next, it produces and cheats out of SPE on the basis of seed (seed crystal section) by annealing of about 600 \*\* predetermined time, and the whole surface of an amorphous silicon is single-crystal-ized. As a result, the insulator layer 230 is embedded into a single crystal like drawing 4. At this time, the life time of the minority carrier of the predetermined field 310 on the insulator layer 230 falls rather than the life time of the minority carrier of other single crystals.

[0045]Then, MOSFET is manufactured like the usual power-metal-oxide-semiconductor-field-effect-transistor production. That is, as shown in drawing 5, the gate electrode 330 is formed on the gate oxide 320, and as shown in drawing 6, the body P field 350 and the source layers 360a and 360b are formed.

[0046]Then, the interlayer insulation film 370 is formed like drawing 7. Next, the source electrode 400 is formed like drawing 8, the drain electrode 410 is formed in the rear face of a substrate, and a device is completed (drawing 9).

[0047](2) The 2nd embodiment drawing 11 shows a 2nd embodiment of this invention. The embedding oxide film 232 is formed in the inside of the body P layer 350 in this example. Also in this case, the same effect as an embodiment shown above is acquired. Other composition is the same as drawing 10.

[0048](3) The 3rd embodiment drawing 12 shows a 3rd embodiment of this invention.

[0049]The feature of the device of drawing 12 is having considered it as the structure which removed the center section of the embedding oxide film in the device of drawing 10.

[0050]The field which removed the embedding oxide film (234a, 234b) moves a window for the steady breakdown current IBX shown with a dashed dotted line to flow, and can realize a more stable breakdown characteristic. That is, as shown in drawing 12, the breakdown current IB flows transitionally and the steady breakdown current IBX flows into sauce from a substrate rear efficiently with the shortest distance after that.

[0051]The situation of overlap in the oxide films 234a and 234b and the body P layer 350 at the time of seeing superficially is shown in the drawing 12 bottom. (\*\*) and (\*\*) — a portion is a portion which has a lap — (\*\*) — a portion is a portion (window section) which does not have a lap.

[0052]The reference numbers 314a and 314b are the portions to which the life time of the minority carrier fell.

[0053](4) The 4th embodiment drawing 13 shows a 4th embodiment of this invention.

[0054]Although the device of drawing 13 is almost the same as the structure of drawing 12, it differs in that the embedding oxide films 236a and 236b are formed in the inside of the body P field 350. The reference numbers 316a and 316b are the portions to which the life time of the minority carrier fell. Also by this structure, the same effect as a 3rd embodiment is acquired.

[0055](5) MOSFET shown in the 5th embodiment drawing 14 is UMOSFET which has a trench gate.

[0056]The reference numbers 332a and 332b are trench gate electrodes (for example, polysilicon), and the reference numbers 322a and 322b are gate dielectric film. The embedded oxide film 238 is formed in a part of body P layer [ directly under ] 350. The reference number 318 is the portion to which the life time of the minority carrier fell.

[0057]Instead of embedding in the lower part of a body P field, and forming an oxide film, it is also possible to consider it as the same embedding oxide film structure as the device of drawing 13 from drawing 11. The effect acquired is the same as that of a device shown above.

[0058](6) The 6th embodiment drawing 15 shows the constructional example at the time of applying this invention to IGBT (Insulated Gate Bipolar Transistor) of planar structure.

[0059]IGBT is the multiple transistor which carried out Invar TEDDO Darlington connection of MOSFET (M1) as shown in drawing 17, and PNP transistor Q3. The difference in section structure with power metal-oxide semiconductor field effect transistor is that the  $P^+$  layer is provided in the bottom of the heap of the device of drawing 16.

[0060]Also in IGBT, it has the parasitic bipolar transistor Q4 as shown by a dotted line by drawing 17 on structure, and, if the voltage drop in parasitic resistance  $R_B$  exceeds voltage between base emitters  $V_{BE}$ , the parasitic thyristor operates \*\*, and destruction of an element is caused.

[0061]Therefore, it is effective to reduce the transport efficiency of the career in the base of the parasitic bipolar transistor Q4, and to reduce current gain. Then, it embeds the base of the parasitic bipolar transistor Q4, and directly under the becoming base P layer 350, the insulator layer 232 is formed, and the field 318 where the life time of the minority carrier fell to the lower part of the base P layer 350 is formed. It is also possible to consider it as the same embedding oxide film structure as the device of drawing 13 from drawing 11. Thereby, the element breakdown by the latchup which poses a problem by IGBT can be controlled.

[0062](7) The 7th embodiment this invention is applicable also to IGBT using a trench gate, as shown in the 16th. The reference numbers 332a and 332b are trench gate electrodes (polysilicon), and the reference numbers 322a and 322b are gate oxide. It is also possible to consider it as the same embedding oxide film structure as the device of drawing 13 from drawing 11. The element breakdown by the latchup which poses a problem by IGBT is controlled.

[0063]Although the above example has explained the N type channel element, it is clear that an effect with the same said of a P type channel element is acquired.

[0064]This invention is applicable not only to the device of a vertical mold but the device of a horizontal type.

[0065]Drawing 22 is a sectional view showing the structure of the power metal-oxide semiconductor field effect transistor of a horizontal type. The  $N^-$  type epitaxial layer 1100 is formed on the P type board 1000, and the well 1200 of P type and  $N^+$  type drain 1400 a-1400b are provided in the surface portion of the  $N^-$  type epitaxial layer 1100. P type — the source layer 1300-1302 is formed in the surface of the well 1200 — on the other hand — the P type — a well — the insulator layer 1800 is embedded inside. The field 1900 on the embedded insulator layer 1800 is a field to which the life time of the minority carrier fell. Therefore, a problem is not produced, even if the current gain of a parasitic transistor is falling and the breakdown current  $I2$  flows. Reference number 1500 a-1500b in drawing 22 is drain current, 1600 a-1600b is a gate electrode, and 1700 is a source electrode. "I1" shows the ON state current.

[0066]The section of IGBT of a model is shown in drawing 23. In drawing 23, "I3" is electron current, "I4" is hole current, and "I5" is breakdown current. Like the case of drawing 22, even if the breakdown current  $I5$  flows, it is satisfactory. Reference number 1402 a-1402b is a  $P^+$  type collector layer in drawing 23, and reference number 1502 a-1502b is a collector electrode. The reference number 1702 is an emitter electrode.

[0067]

---

[Translation done.]